

DERWENT-ACC-NO: 2003-064574

DERWENT-WEEK: 200306

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Protective coat for semiconductor and electroluminescence devices, has SiOF moisture absorption layer formed between water vapor barriers

PATENT-ASSIGNEE: SAMUKO INT KENKYUSHO KK[SAMUN]

PRIORITY-DATA: 2001JP-013121 (April 27, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 2002329720 A	November 15, 2002	N/A	006
H01L 021/316			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2002329720A	N/A	2001JP-0131211	April 27,
2001			

INT-CL (IPC): C23C016/42, H01L021/316 , H01L021/318 , H05B033/04 , H05B033/10

ABSTRACTED-PUB-NO: JP2002329720A

BASIC-ABSTRACT:

NOVELTY - A water vapor barrier (56) containing SiN, is formed on a semiconductor device (50). A SiOF moisture absorption layer (57) and the water vapor barrier (58) are formed sequentially on the barrier (56).

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for protective coat method.

USE - For semiconductor and organic electroluminescence (EL) devices.

ADVANTAGE - The barriers and the moisture absorption layer reliably prevent water from entering into the EL device, thereby preventing the reduction in intensity of light emitted from the device.

DESCRIPTION OF DRAWING(S) - The figure shows an explanatory view illustrating the protective coating formation process.

Semiconductor device 50

Water vapor barriers 56,58

SiOF moisture absorption layer 57

CHOSEN-DRAWING: Dwg.5/5

TITLE-TERMS: PROTECT COAT SEMICONDUCTOR ELECTROLUMINESCENT DEVICE MOIST ABSORB LAYER FORMING WATER VAPOUR BARRIER

DERWENT-CLASS: L03 U11 U14 X26

CPI-CODES: L04-C12;

EPI-CODES: U11-C05B5; U11-C05B7; U11-C05B9A; U14-J02; U14-J02D2; X26-J;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2003-016892

Non-CPI Secondary Accession Numbers: N2003-050337

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-329720

(P2002-329720A)

(43) 公開日 平成14年11月15日 (2002. 11. 15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>*</sup> (参考)
H 0 1 L 21/316		H 0 1 L 21/316	M 3 K 0 0 7
C 2 3 C 16/42		C 2 3 C 16/42	4 K 0 3 0
H 0 1 L 21/318		H 0 1 L 21/318	M 5 F 0 5 8
H 0 5 B 33/04		H 0 5 B 33/04	
33/10		33/10	

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2001-131211(P2001-131211)

(22) 出願日 平成13年4月27日 (2001. 4. 27)

(71) 出願人 392022570

株式会社サムコインターナショナル研究所  
京都市伏見区竹田藁屋町36番地

(72) 発明者 澤井 巳喜夫

京都市伏見区竹田藁屋町36番地 株式会社  
サムコインターナショナル研究所内

(72) 発明者 田口 貢士

京都市伏見区竹田藁屋町36番地 株式会社  
サムコインターナショナル研究所内

(74) 代理人 100095670

弁理士 小林 良平

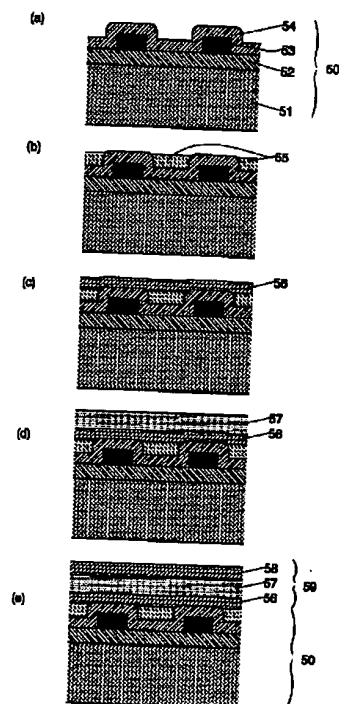
最終頁に続く

(54) 【発明の名称】 デバイス用保護膜及びその作製方法

(57) 【要約】

【課題】 今後ますます高集積化が進む半導体装置や実用段階に進むと考えられる有機E L等のデバイスを確実に保護することのできる保護膜及びその作製方法を提供する。

【解決手段】 表面からデバイス50にかけて、SiNから成る第一防湿層58、SiOFから成る吸湿層57、及びSiNから成る第二防湿層56を設ける。SiOFのF濃度は4.2~20%程度とする。その作用は次の通りである。まず第一防湿層58により、外部からデバイス50への水分の侵入を防止する。しかしSiN層は作製後の残留応力が大きいため、マイクロクラック等の発生を完全には防止し得ない。そこで、その下に吸湿層57を設けることにより、デバイス50に侵入しようとする水分を積極的に捕捉する。この吸湿層57として、従来フッ素添加SiO<sub>2</sub> (SiOF) の欠点とされていた吸湿性を積極的に利用した。こうして捕捉した水分がデバイス50に侵入することをさらに確実に防止するため、第二防湿層56を設けた。



## 【特許請求の範囲】

【請求項1】 表面からデバイスにかけて、SiNから成る第一防湿層、SiOFから成る吸湿層、及びSiNから成る第二防湿層を含むことを特徴とするデバイス用保護膜。

【請求項2】 SiOFにおけるF濃度が4.2～20%であることを特徴とする請求項1に記載のデバイス用保護膜。

【請求項3】 吸湿層の厚みが0.5～2.0μmであることを特徴とする請求項1又は2に記載のデバイス用保護膜。

【請求項4】 上記デバイスが半導体デバイスであることを特徴とする請求項1～3のいずれかに記載のデバイス用保護膜。

【請求項5】 上記デバイスがELであることを特徴とする請求項1～3のいずれかに記載のデバイス用保護膜。

【請求項6】 デバイス上に保護膜を作製する方法であって、プラズマ化学気相成長法によりデバイス上に順に、SiNから成る第二防湿層、SiOFから成る吸湿層、及びSiNから成る第一防湿層を作製することを特徴とするデバイス用保護膜の作製方法。

【請求項7】 上記吸湿層作製時に原料ガスとして、モノシランガスと、アンモニア及び/又は窒素ガスとの混合ガスを使用することを特徴とする請求項6に記載のデバイス用保護膜の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置や有機EL (Electro Luminescence) (本明細書ではこれらを総称して「デバイス」と呼ぶ) を保護するための表面保護膜及びその作製方法に関する。

## 【0002】

【従来の技術】半導体装置や有機EL等のデバイスを覆う保護膜の主たる目的は、水分がそれらのデバイスに侵入しないようにすることである。また、どちらの場合においても電気回路を覆うものであるため、非導電性であることと、静電容量低減のために誘電率が低いことが要求される。

【0003】このような要求特性を満たす半導体装置の保護膜として、SiNやポリイミド等が単独で、或いはそれらを積層した形で用いられている。このうち、ポリイミドは欠陥(ピンホール)密度が低く、水分遮断作用に優れているが、極性の大きい有機膜であるため、表面及び内部に水分が吸着しやすいという問題がある。一方、SiN保護膜は、金属イオンの侵入に対して強いという特長を持つが、作製後の残留応力が大きいため、経時後に半導体装置の配線の断線が生じたり、配線抵抗が増加するという問題がある。

【0004】有機ELの場合、光を放出するために表面

を大気に曝さなければならないという点で半導体装置と条件が異なり、水分に対してはより厳しい条件下に置かれることになる。EL保護の一つの方法として、EL積層構造体部分を気密ケースに入れるという方法が考えられるが、気密ケースの気密度を上げようとすればするほどケースが大型化し、ELの特長の一つであるコンパクトさが失われる。また、ケースによりELの発光輝度が低下するという問題もある。そのため、EL表面に密着した透明な封止層を設けることが望まれるが、上記の通り、水分に関してより厳しい条件下に置かれることから、ELを水分から完全に遮断するよりも、むしろ吸湿層を設け、そこで水分を吸収してしまうという方法が考えられている(特開平5-89958号公報、特開平7-211455号公報等)。気密ケースを用いて、その中に乾燥剤(吸湿材)を入れるという方法(特開2000-195660号公報)も同じ考え方の下にある。

## 【0005】

【発明が解決しようとする課題】半導体装置における線幅(ルール)が微小化するにつれ、回路はますます水分や応力に弱くなる。上記のSiNとポリイミドの積層膜では、SiNが主に金属イオンの遮断、ポリイミドが主に水分遮断の機能を分担するものであるが、SiNの残留応力による半導体装置へのストレス負荷や保護膜自身のクラッキング(ひび割れ)による水分透過の問題が今後顕在化してくると考えられる。

【0006】このSiNの残留応力を低減するため、SiNを含む酸・窒化シリコン膜にフッ素(F)を添加することが提案されている(特開平7-169833号公報)。これにより残留応力が低下し、半導体装置への負荷が低減して断線や配線抵抗の増加が抑えられると報告されている。

【0007】酸化シリコン(SiO<sub>2</sub>)にフッ素を添加するとその誘電率が低下することは既に知られており、半導体装置の絶縁層にフッ素添加SiO<sub>2</sub>を使用することは一般に行われている。しかし、フッ素添加はSiO<sub>2</sub>膜の安定性を損ない、吸湿性が増大するという問題が指摘されている。SiNに対するフッ素添加に関して、基本的にはSiO<sub>2</sub>と同様の問題が生ずるものと思われる。

【0008】本発明はこのような課題を解決するために成されたものであり、今後ますます高集積化が進む半導体装置や実用段階に進むと考えられる有機EL等のデバイスを確実に保護することのできる保護膜及びその作製方法を提供するものである。

## 【0009】

【課題を解決するための手段】上記課題を解決するために成された本発明に係るデバイス用保護膜は、表面からデバイスにかけて、SiNから成る第一防湿層、SiOFから成る吸湿層、及びSiNから成る第二防湿層を含むことを特徴とする。

## 【0010】

【発明の実施の形態及び効果】本発明に係る保護膜では、まず第一防湿層により、外部からデバイスへの水分の侵入を防止する。しかし、前記の通りSiN層は作製後の残留応力が大きいと、マイクロクラック等の発生を完全には防止し得ない。そこで本発明では、その下に吸湿層を設けることにより、デバイスに侵入しようとする水分を積極的に捕捉するようにしている。この吸湿層として、従来フッ素添加SiO<sub>2</sub>(SiOF)の欠点とされていた吸湿性を積極的に利用した。こうして捕捉した水分がデバイスに侵入することをさらに確実に防止するため、第二防湿層を設けた。

【0011】SiOF中のF濃度と吸湿度については、図4に示すように、湿度40%の室温大気中に一週間放置した後の吸湿度は、F濃度が4.2%を超えると急激に増加することが明らかにされている(宮島等「F添加CVD-SiO<sub>2</sub>膜の吸湿メカニズム」, 月刊Semiconductor World, 1995.12, p.167)。本発明の保護膜ではこの吸湿特性を積極的に利用することから、SiOF中のF濃度は4.2%以上とすることが望ましい。ただし、F濃度が高くなりすぎるとSiOF膜(層)自体の安定性が損なわれるため、F濃度は20%程度以下とすることが望ましい。なお、ここにおけるF濃度(パーセンテージ)は、FT-IRスペクトルにおけるSi-Fの吸収スペクトル(980cm<sup>-1</sup>近傍)とSiOの吸収スペクトル(1080cm<sup>-1</sup>近傍)の吸収面積比で表したものである。

【0012】本発明に係る保護膜は、基本的にはデバイス上に順に第二防湿層、吸湿層、第一防湿層を形成してゆけばよいだけであり、容易に作製することができる。また、各層の形成方法についても、プラズマ化学気相成長法等既存の各種CVD手法を用いることができる。

## 【0013】

【実施例】実施例により、本発明をさらに詳しく説明する。図1は、半導体基板又は有機EL(以下、これらを総称してワークと呼ぶ)上に本発明に係るデバイス保護膜を被覆するために用いたプラズマCVD装置の概略構成図である。図1のCVD装置10は密閉された反応室11を備えており、その中に上部電極12及び下部電極13が略平行に配置されている。上部電極12は棒16により反応室11の天井に取り付けられた接地電極である。下部電極13は絶縁層14を介して接地台15に取り付けられた板状電極であり、整合回路31を介して高周波電源(RF)32に接続されている。

【0014】上部電極12を吊り下げている棒16の上部は反応室11の外に突出しており、その上端には原料ガス導入口17が設けられている。原料ガス導入口17は給気管18によりガス供給部19に接続されている。ガス供給部19には複数(図1では3種)の原料ガスの供給源(ポンプ等)が設けられており、各原料ガスはそれぞれの配管に設けられたマスフローコントローラ(M

FC)19a~19cにより流量が調節された後、給気管18で混合され、原料ガス導入口17に送り込まれる。

【0015】図2に示すように、棒16及び上部電極12の内部にはガス通路12aが形成されている。このガス通路12aは上部電極12の内部で分岐し、各分岐通路は上部電極12の下面に設けた多数の穴12bに通じている。ガス供給部19から給気管18を通じて原料ガス導入口17へ送られてきた原料ガスは、ガス通路12aを流れて上部電極12の穴12bに達し、そこからシャワー状に反応室11内に供給される。なお、上部電極12の下面には多数の孔20aを有する上部電極カバー20が装着されているが、これは上部電極12の穴12bから出た原料ガスを分散させて保護膜の成膜の均一性を高めるためのものである。

【0016】図1に戻り、本装置10の排気系について説明する。下部電極13を取り付けた接地台15は反応室11の底部に固定されたステム21により支持されている。ステム21の内部にはガス通路21aが形成されており、このガス通路21aは反応室11の内部に開口(ガス排出口)21bを有する。ガス通路21aの他端にはポンプ23及び圧力制御弁24の配設された排気管22が接続されている。ポンプ23を起動すると、反応室11内のガスがガス排出口21bから吸引され、排気管22を通じて外部へ排出される。こうしてポンプ23を動作させつつ、圧力制御弁24の開度を適宜設定することにより、反応室11内の圧力を調節することができる。

【0017】次に、電気系統について説明する。図1及び図2に示したように、下部電極13の内部にはヒータ24が配設されている。下部電極13の中心にはまた、ヘリウムガスを上面に供給するためのガス通路25が設けられている。ヘリウムガスは熱伝導率が極めて良好な物質であるため、このヘリウムガス噴出により下部電極13内部のヒータ24の熱は速やかにワークWに伝達されるようになる。ヒータ24の発熱量は温度制御器33により制御される。なお、下部電極13の代わりに接地台15の内部にヒータを設けてもよい。

【0018】上記原料ガスの導入、高周波電力の投入、排気、加熱等のための各部装置は全て制御装置40により制御されている。図3に示すように、制御装置40はコンピュータシステムを利用して構成されており、入力装置41、表示装置42、記憶装置43等が設けられている。この制御装置40のプロセッサ上で所定のコンピュータプログラムを動作させることにより、制御装置40内において成膜制御部44、パラメータ決定部45、駆動部46等の各種機能部がソフトウェア的に構成される。以下、各機能部の構成及び動作について説明する。

【0019】成膜制御部44は、表示装置42に保護膜の諸パラメータの入力画面を表示する。入力画面には、

保護膜を構成する各層の厚さ、組成等を入力する欄が設けられており、それらの欄に所定の数値を入力したり、選択肢から選択することにより、保護膜作製条件を設定することができる。

【0020】保護膜作成条件が設定されると、パラメータ決定部45は記憶装置43に保存されているプロセスパラメータデータベースを用いて、プロセスパラメータの時間変化パターンを決定する。本装置10では、(P1)反応室11内へ供給する原料ガスの組成、(P2)反応室11内の圧力、(P3)下部電極13への高周波電力の投入量、及び(P4)ワークWの温度という4種のプロセスパラメータP1~P4があり、これらの値を経過時間に応じて適宜変化させる。

【0021】プロセス制御部46は、パラメータ決定部45により決定された各プロセスパラメータの時間変化パターンに応じて装置10の各部を次のように制御する。

(1)パラメータP1の変化に応じてマスフローコントローラ19a~19cの設定流量を調節する。

(2)パラメータP2の変化に応じて圧力制御弁24の開度を調節する。

(3)パラメータP3の変化に応じてRF32の出力を調節する。

(4)パラメータP4の変化に応じてヒータ24への給電量を調節する。

保護膜を構成する各層ごとにこれらのパラメータを変化させ、各部を制御することにより、後述の通り各層の作製が自動的に行われる。

【0022】次に、プラズマ化学気相成長法により半導体デバイス保護膜を形成する方法を説明する。図5

(a)は半導体デバイス50を模式的に示したものであり、シリコン基板51上にリン・ホウケイ酸ガラス(BPSG)膜などの第一酸化シリコン膜52を介して配線パターン53が形成され、更に第二酸化シリコン膜54がその上を覆っている。第一酸化シリコン膜52の厚さは0.8 $\mu$ m程度、配線53の厚さは0.8 $\mu$ m程度、第二酸化シリコン膜54の厚さは0.4 $\mu$ m程度である。これに保護膜を形成する前に、全体をスピニングガラス膜55で覆い、エッチバックを行うことにより図5(b)に示すように凹凸を無くしておく。

【0023】このような状態とした半導体デバイスを図1のプラズマCVD装置10の下部電極13上に載置し、保護膜の形成を行う。まず、反応室11を密閉して内部を排気した後、ガス供給部19より原料ガスとしてモノシランガスと、アンモニア及び/又は窒素ガスとの混合ガスを反応室11内に導入する。これらの原料ガスの圧力が所定値に達した時点で原料ガスの導入を停止し、高周波電力(13.56MHz)を投入する。これにより、図5(c)に示すように、まずSiNによる第二防湿層56が形成される。

【0024】次に、反応室11内を一旦排気し、ガス供給部19より、TEOS (Tetraethoxy Silane)、TMOS (Tetramethoxy Silane)等のシリコンアルコキシド系ガス、酸素ガス、及びフッ化炭素ガスの3種混合ガスを反応室11に導入する。これらの原料ガスの圧力が所定値に達した時点で原料ガスの導入を停止し、高周波電力を投入する。これにより、図5(d)に示すように、SiOFによる吸湿層57が形成される。

【0025】その後、反応室11を再度排気し、先ほどと同様の方法でSiNによる第一防湿層58を形成する(図5(e))。こうして3層から成る保護膜59が完成する。

【0026】保護膜59を構成する第二防湿層56、吸湿層57、第一防湿層58の各層の厚さに特に制限はないが、SiOF吸湿層57に関しては、やや厚くすることにより水分吸収能を確保しておくことが望ましい。従って、第一、第二防湿層58、56の厚さが0.3~1 $\mu$ m程度であるとする、吸湿層57の厚さは0.5~2 $\mu$ m程度とする。

【0027】上記実施例は本発明に係る保護膜を作製するための一方法を説明したに過ぎないものであり、上記のプラズマCVD装置以外の装置を使用し、あるいはプラズマ化学気相成長法以外の方法で同様の保護膜を作製しても、本発明の範囲を逸脱するものではない。

【0028】

【発明の効果】本発明に係る保護膜では、第一防湿層、吸湿層、第二防湿層の3層の相乗作用により、外部からデバイスへの水分の進入を確実に阻止する。また、1層だけで水分を遮断するのではなく、3層の相乗作用を利用するため、各層の厚さを大きくする必要がなく、デバイスに応力的負荷をかけることがない。更に、デバイスに密着しているため、デバイスのサイズを大きくすることなく、有機ELのような発光デバイスの場合にはその発光輝度を減ずることがない。

【図面の簡単な説明】

【図1】 本発明に係るデバイス保護膜を作製するための装置の一例である、プラズマCVD装置の概略構成図。

【図2】 上記プラズマCVD装置の上下電極付近の詳細図。

【図3】 上記プラズマCVD装置の制御装置の内部及びその周辺装置の構成を示すブロック図。

【図4】 SiOF中のF濃度と吸湿度の関係を示すグラフ。

【図5】 半導体デバイス上に本発明に係る保護膜を作製する際の手順を示す説明図。

【符号の説明】

10...プラズマCVD装置

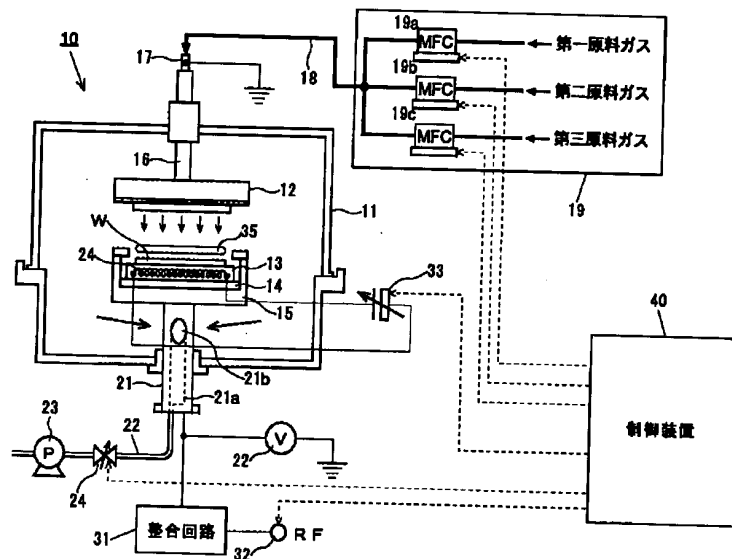
11...反応室

50 12...上部電極

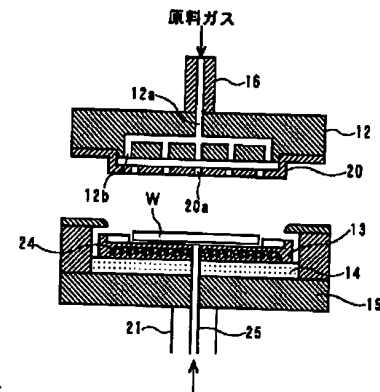
- 13…下部電極  
31…整合回路  
32…RF（高周波電源）  
33…温度制御器  
40…制御装置  
44…成膜制御部  
50…半導体デバイス  
51…シリコン基板

- 52…第一酸化シリコン膜  
53…配線パターン  
54…第二酸化シリコン膜  
56…第一防湿層  
57…SiOF吸湿層  
58…第二防湿層  
59…保護膜

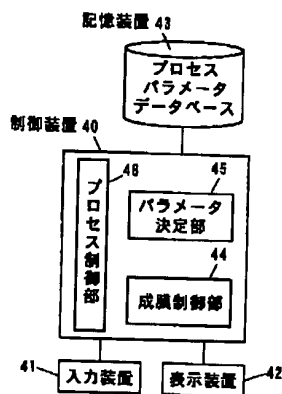
【図1】



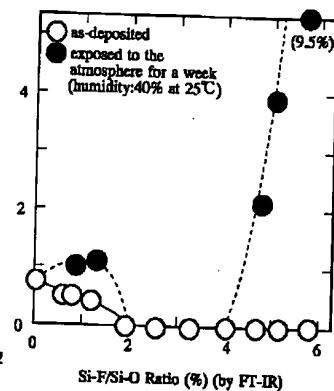
【図2】



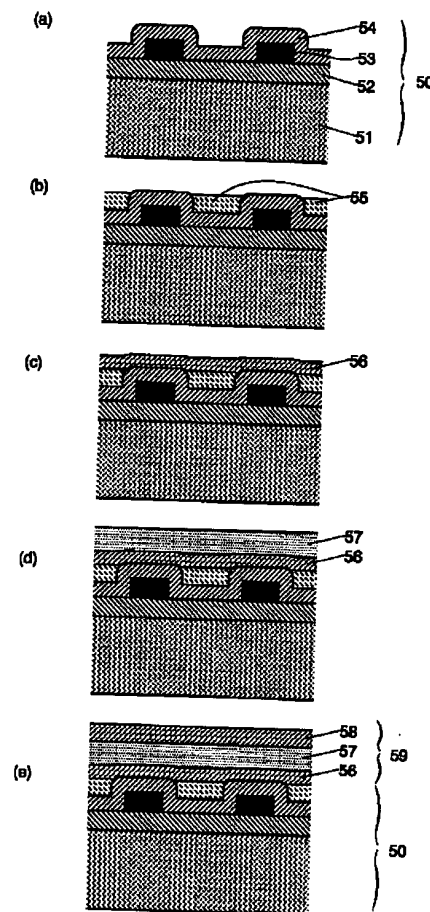
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 3K007 AA03 AB13 CA03 DA02 EB00  
 FA01  
 4K030 AA06 AA13 AA18 BB12 CA04  
 CA12 JA01 LA01 LA18  
 5F058 BA04 BD01 BD02 BD04 BD06  
 BD10 BF07 BF23 BF24 BF25  
 BF29 BF30 BJ03